

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-171810

(43)Date of publication of application : 22.10.1982

(51)Int.Cl.

H03F 3/217

(21)Application number : 56-057610

(71)Applicant : PIONEER ELECTRONIC CORP

(22)Date of filing : 16.04.1981

(72)Inventor : OZAWA AKIO

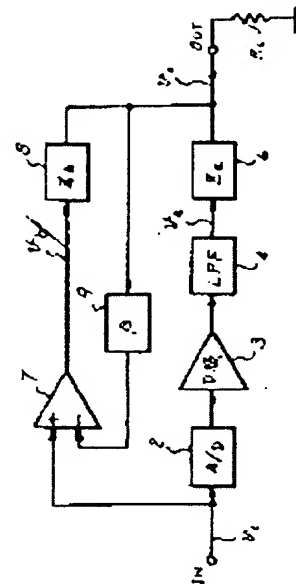
## (54) POWER AMPLIFIER

### (57)Abstract:

**PURPOSE:** To reduce distortion generated at a load driving point by providing a PWM amplifier with an amplifying means for an input signal between an analog input signal application point and the load driving point, and then negatively feeding a signal at the load driving point back to the input of the amplifying means.

**CONSTITUTION:** An analog input signal IN is converted into a PWM signal by an A/D converter 2. A class "D" amplifier 3 including a couple of output push- pull transistors for power amplification performs pulse power amplification. An amplified signal is demodulated through an LPF4 into an analog signal, or the original signal, which is led to an output OUT

as a load driving point through an impedance element 6. Further, a linear amplifying circuit 7 inputting the signal IN as an inphase input is provided and its amplification output is connected to the output point OUT through an impedance element 8. Part of the signal appearing at the output point OUT is connected to the out-of-phase input of the circuit 7 through a negative feedback circuit 9. Thus, distortion generated at the output point OUT is reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑬ 日本国特許庁 (JP)  
 ⑭ 公開特許公報 (A)

⑮ 特許出願公開  
 昭57-171810

⑯ Int. Cl.<sup>3</sup>  
 H 03 F 3/217

識別記号

庁内整理番号  
 7827-5 J

⑰ 公開 昭和57年(1982)10月22日

発明の数 1  
 審査請求 未請求

(全 4 頁)

⑱ 電力増幅器

5号バイオニア株式会社大森工場内

⑲ 特 願 昭56-57610

⑳ 出 願 人 バイオニア株式会社

㉑ 出 願 昭56(1981)4月16日

東京都目黒区目黒1丁目4番1号

㉒ 発 明 者 小沢昭夫

東京都大田区大森西4丁目15番

㉓ 代 理 人 弁理士 藤村元彦

明 記 書

1. 発明の名称

電力増幅器

2. 特許請求の範囲

(1) アナログ入力信号のレベルに応じたパルス幅を有するパルス列信号を用いて電力増幅用スイッチング素子をオンオフ制御することにより負荷を電力駆動するよう構成された電力増幅器であって、前記アナログ入力信号印加点と前記負荷駆動点との間に設けられた増幅手段と、前記負荷駆動点の信号を前記増幅手段の入力へ導通する負帰還手段とを含むことを特徴とする電力増幅器。

(2) 前記増幅手段は前記アナログ入力信号を入力とする増幅回路と、前記増幅回路の出力と前記負荷駆動点との間に設けられたインピーダンス素子を有し、前記増幅回路の出力信号と前記負荷駆動点の出力信号レベルとが等しくなるよう構成されていることを特徴とする特許請求の範囲第1項記載の増幅器。

3. 発明の詳細な説明

この発明は電力増幅器に関し、特にアナログ入力信号をパルス化して電力増幅するいわゆるPWM増幅器の改良に関するものである。

PWM(パルス幅変調)増幅器は、第1図にその概略ブロックを示すように、アナログオーディオ入力信号INを入力バッファアンプ1を介してA/D(アナログ/ディジタル)変換器2へ印加し、このアナログ入力レベルに応じたパルス幅を有するPWM信号に変換後、このパルス列信号によりいわゆるD級プッシュプルアンプ3を駆動するものである。このD級アンプ3においては、PWMパルス列信号により1対の電力増幅用スイッチングトランジスタを交互にオンオフ制御してパルス増幅するものであり、通常のB級プッシュプルアンプに比し電力効率が著しく向上するという利点を有している。

このD級アンプ3の出力をLPF(ローパスフィルタ)4によりアナログオーディオ信号に変換して、スピーカ等の所定負荷 $R_L$ を電力駆動するもの

であり、電力増強の低減が可能のために特に電源容量の限られた機器において用いられている。しかしながら、PWMアンプにおいては通常のリニアアンプに比し歪み特性が低下するが、これは特にA/D変換段2において発生する。従って、このA/D変換段における歪み特性を向上すべく種々の提案がなされているが、いずれも複雑な回路構成となっている。

そのため、図示のように、回路出力側OUTから、回路入力側のバッファアンプ1へ負帰還を施すべく増幅回路7が行加されて、上記歪み特性を改善する方法が採られる。この方法では、負帰還入力と入力信号INとの間に時間的差異があって、発振等の問題を生じ多量の負帰還を施すことができず、よって歪みの大きな向上は期待できない欠点がある。

本発明の目的は、D級アンプの高効率の利点を維持しつつ低歪率化を可能としたPWM電力増幅器を提供することである。

本発明による電力増幅器は、アナログ入力信号

号であるアナログ信号に復調されて、インピーダンス素子6を介して負荷駆動点である出力OUTへ導出されている。

一方、アナログ入力信号INを正相入力とするリニア増幅回路7が設けられており、この増幅出力がインピーダンス素子8を介して負荷駆動点へ接続されている。そしてこの負荷駆動点の信号の一部を増幅回路7へ帰還すべく、抵抗素子等の受動素子よりなる負帰還回路9が出力OUTと増幅回路7の逆相入力との間に設けられている。

ここで、デジタル信号系であるA/D変換段2、D級アンプ3、LPF4及びインピーダンス素子6の信号伝送系の利得と、アナログ信号系であるリニア増幅回路7の利得とを共に等しく規定する。すなわち両利得を1とすると、

$$G = v_o / v_i = v_o / v_i$$

が成立するように規定する。ここに、 $v_i$ はアナログ入力信号レベル、 $v_o$ は出力信号レベル、 $v_i$ はリニア増幅回路7の出力信号レベルであり、

## 初開57-171810(2)

レベルに応じたパルス幅を有するパルス列信号を用いて電力増幅用スイッチング素子をオンオフ制御することにより負荷を電力駆動するよう構成された電力増幅器であって、その特徴とするところは、アナログ入力信号印加点と負荷駆動点との間にアナログ入力信号を増幅する増幅手段を設け、負荷駆動点の信号をこの増幅手段の入力へ負帰還するようにし、負荷駆動点で発生した歪を負帰還増幅手段により低減除去するようにしたことにある。

以下に、本発明を用いて図面を用いて説明する。

第2図は本発明の実施例の概略ブロック図であり、第1図と同等部分は同一符号により示されている。増幅されるべきアナログ入力信号INはA/D変換器2において、PWM信号に変換される。12の電力増幅用の出力プッシュプルトランジスタを含むいわゆるD級アンプ8が設けられており、PWM信号により当該プッシュプルトランジスタが交互にオンオフ制御されて、パルス電力増幅がなされる。この増幅されたPWM信号はLPF4により低信

$$v_o = v_i \cdot R_L / (Z_o + R_L)$$

と変換される。尚、 $v_o$ はLPF4の出力信号レベルである。

従って、すべての信号系において歪が無く、アナログ入力信号 $v_i$ と $v_o$ 、 $v_i$ 及び $v_o$ がすべて相似の信号波形を有するものとなれば、インピーダンス素子8の両端における信号レベル差はゼロであるから、リニア増幅回路7から出力点OUTへの電力供給は行われないうことになる。

デジタル信号伝送系において、信号歪が発生して、第3図に示すように正弦波状の入力信号 $v_i$ に対してデジタル系信号 $v_o$ が図の $v_o'$ のように変化したとする。尚、図の点線で示す $v_o'$ 波形はデジタル系信号に歪がない場合の波形である。従って、この時のデジタル系信号に含まれる歪成分 $v_{od}$ の波形は、第3図の $v_{od}$ にて示す波形となっており、よってリニア増幅回路系がないものとする。この歪成分 $v_{od}$ を含有する信号すなわち図の $v_o'$ で示す出力が負荷 $R_L$ へそのまま供給され

る。しかしながら、負帰還回路の存在のために、この途を有する信号 $v_o$ の一部が増幅回路7へ印加されることになる。よって、増幅回路7の出力には図3図の $v_o$ で示すような歪を含有する信号が現われる。尚、図の点線で示す波形 $v_{od}$ はアナログ信号系に歪が生じない場合の信号を示している。従って、増幅回路7における出力信号に含有されている歪成分波形は、図の $v_{od}$ で示すようになっている。これはアナログ系で生ずる歪成分 $v_{od}$ と逆相かつ相似波形となっていることが判る。よって、この歪成分 $v_{od}$ のみが出力点OUTへ供給されるから、出力点における信号 $v_o$ の歪成分は打消されるようになり歪めて小さくすることが可能となる。

いま、デジタル信号系の歪を $v_{ad}$ とし、リニア増幅回路7のオープンゲインを $A_0$ とした帰還回路9の帰還率を $\beta$ とすると、出力 $v_o$ に現出する歪 $v_{od}$ は、

$$v_{od} = v_{ad} / A_0 \cdot \beta$$

の如くとなる。また、負帰還はリニアアンプのみに施しているので安定性は良好である。

尚、インピーダンス素子及び8としては、リニアアンプ系信号とデジタルアンプ系信号とが出力点OUTで相互干渉しないようにするための、単なる抵抗素子を用い得るものである。

#### 4. 図面の簡単な説明

第1図は従来のPWMアンプの概略ブロック図、第2図は本発明の実施例の概略ブロック図、第3図は第2図のブロックにおける各部動作波形図である。

主要部分の符号の説明

- |                  |            |
|------------------|------------|
| 2...A/D変換器       | 3...D/A変換器 |
| 4...LPF          |            |
| 6, 8...インピーダンス素子 |            |
| 7...リニア増幅回路      | 9...負帰還回路  |

出 発 人    パイオニア株式会社  
代 理 人    弁護士 藤 村 元 彦

特許第57-171810(3)

で表わされ、極めて小さな値とすることが可能となる。

リニア増幅回路7の所要電力 $P_d$ は、 $Z_a \ll R_L$ 、デジタル信号系の出力インピーダンスを0 $\Omega$ とすると、

$$v_{od} = v_{ad} (Z_a + Z_b) / Z_a$$

で表わされるから、

$$P_d = v_{od}^2 / R_L = v_{ad}^2 \cdot (Z_a + Z_b)^2 / Z_a^2 \cdot R_L$$

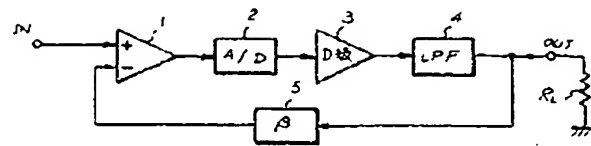
となる。従って、 $Z_b : Z_a$ を適当な値(約1 :

10)に選定し、 $v_{od}$ の補正可能レベルを2%以下とすれば、必要電力 $P_d$ は出力電力の約1/20となり極めて小さくすることが出来る。これは、第3図の $v_{od}$ で示す歪成分のみの電力を出力端へ供給し得れば十分であるから当然のことである。

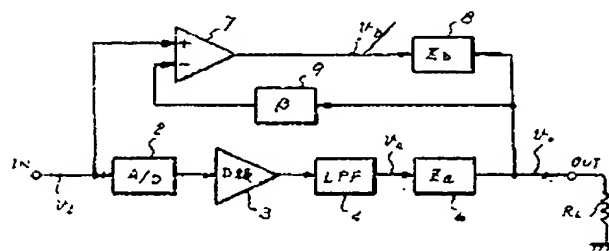
このように、簡単な構成でD/A変換の歪を効果的に除去可能でかつD/A変換の電力効率の良好さをそのまま維持するものであるから、リニアアンプと同等の歪率特性が得られ、大出力小型化

特開昭57-171810(4)

第 1 図



第 2 図



第 3 図

